

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010046651 A  
(43)Date of publication of application: 15.06.2001

(21)Application number: 1019990050512  
(22)Date of filing: 15.11.1999

(71)Applicant: LG.PHILIPS LCD CO., LTD.  
(72)Inventor: KIM, UNG GWON

(51)Int. Cl G02F 1/136

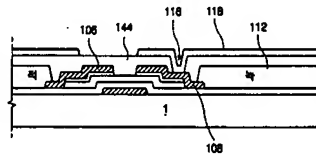
## (54) ARRAY PANEL, LIQUID CRYSTAL DISPLAY DEVICE AND MANUFACTURING METHOD THEREOF

## (57) Abstract:

PURPOSE: An array panel, a liquid crystal display (LCD) device and a method for manufacturing the same are to increase a process margin and provide a high opening ratio and a high productivity.

CONSTITUTION: A gate electrode is formed on a substrate(1). A gate insulating layer and a semiconductor layer are formed on the gate electrode, wherein the semiconductor layer includes an intrinsic semiconductor layer and an impurity semiconductor layer. The intrinsic semiconductor layer and the impurity semiconductor layer are

patterned into a predetermined configuration, thereby forming an active layer. Source/drain electrodes (106,108) are formed on the active layer. A color filter layer(112) is formed being overlapped with a portion of the drain electrode(108). The impurity semiconductor layer disposed between the source and the drain electrodes, is patterned to form a channel. A planarization layer is deposited over entire surfaces provided with the source/drain electrodes(106,108), the color filter layer and the channel. A drain contact hole(116) is formed to expose the drain electrode. A pixel electrode(118) is formed to contact with the drain electrode through the drain contact hole.



COPYRIGHT 2001 KIPO

## Legal Status

Date of request for an examination (20041004)

Notification date of refusal decision (00000000)

Final disposal of an application (registration)

Date of final disposal of an application (20060919)

Patent registration number (1006286790000)

Date of registration (20060920)

Number of opposition against the grant of a patent ( )

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse ( )

Date of requesting trial against decision to refuse ( )

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>

G02F 1/136

(11) 공개번호 특2001-0046651

(43) 공개일자 2001년06월 15일

(21) 출원번호 10-1999-0050512

(22) 출원일자 1999년11월 15일

(71) 출원인 엘지.필립스 엘시디 주식회사 구본준

서울 영등포구 여의도동 20번지엘지.필립스 엘시디 주식회사 론 위라하 디락사

(72) 발명자 서울 영등포구 여의도동 20번지

김웅권

(74) 대리인 경기도군포시산본동1145세종APT640동1204호

정원기

심사청구 : 없음

(54) 어레이 패널, 액정 표시장치 제조방법 및 그 제조방법에따른액정표시장치

요약

본 발명은 액정 표시장치의 개구율을 향상하기 위해 기판과; 상기 기판 상에 형성되고, 게이트 전극, 소스 전극, 드레인 전극을 가진 박막 트랜지스터와; 상기 박막 트랜지스터의 상기 소스 및 드레인 전극중 적어도 하나의 전극과 일부 겹치는 컬러필터와; 상기 박막 트랜지스터와 상기 컬러필터 상에 형성된 평탄화막과; 상기 컬러필터 상부 상기 평탄화막 상에 상기 박막 트랜지스터의 드레인 전극과 접촉하는 화소전극을 포함하는 어레이 패널에 관해 개시하고 있다.

대표도

도3a

명세서

도면의 간단한 설명

도 1은 일반적인 액정 표시장치의 한 화소부에 해당하는 단면을 도시한 단면도.

도 2a 내지 도 2d는 일반적인 COT 방식의 액정 표시장치의 제조공정을 도시한 공정도.

도 3a 내지 도 3e는 본 발명의 제 1 실시예에 따른 COT 액정 표시장치의 제조공정을 도시한 공정도.

도 4는 본 발명의 제 2 실시예에 따른 COT 액정 표시장치의 스위칭 소자로 쓰이는 박막 트랜지스터의 단면을 도시한 단면도.

도 5a 내지 도 5e는 본 발명의 제 3 실시예에 따른 COT 액정 표시장치의 제조공정을 도시한 공정도.

<도면의 주요 부분에 대한 부호의 설명>

100 : 게이트 전극	106 : 소스 전극
108 : 드레인 전극	112 : 컬러필터
118 : 화소전극	114 : 보호막
116 : 드레인 콘택홀	ES : 식각 방지막

발명의 상세한 설명

발명의 목적

# 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 화상 표시장치에 관한 것으로, 더 상세하게는 박막 트랜지스터(Thin Film Transistor : TFT)를 포함하는 액정 표시장치(Liquid Crystal Display device: LCD)의 제조방법 및 그 제조 방법에 따른 액정 표시장치에 관한 것이다.

액정 표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 갖고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자 배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

현재에는 전술한 바 있는 박막 트랜지스터와 상기 박막 트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동 행렬액정 표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

일반적으로 액정 표시장치를 구성하는 기본적인 부품인 액정 패널의 구조를 살펴보면 다음과 같다.

도 1은 일반적인 액정 패널의 단면을 도시한 단면도이다.

액정 패널(20)은 여러 종류의 소자들이 형성된 두 장의 기판(2, 4)이 서로 대응되게 배열되어 있고, 상기 두 장의 기판(2, 4) 사이에 액정층(10)이 끼워진 형태로 위치하고 있다.

상기 액정 패널(20)에는 색상을 표현하는 컬러필터가 형성된 상부 기판(4)과 상기 액정층(10)의 분자 배열방향을 변환시킬 수 있는 스위칭 회로가 내장된 하부 기판(2)으로 구성된다.

상기 상부 기판(4)에는 색을 구현하는 컬러필터층(8)이 형성되어 있으며, 컬러필터층(8)을 덮는 공룡전극(12)이 형성되어 있다. 상기 공룡전극(12)은 액정(10)에 전압을 인가하는 한쪽전극의 역할을 한다. 상기 하부 기판(2)은 스위칭 역할을 하는 박막 트랜지스터(S)와, 상기 박막 트랜지스터(S)로부터 신호를 인가 받고 상기 액정(10)으로 전압을 인가하는 다른 한쪽의 전극역할을 하는 화소전극(14)으로 구성된다.

상기 화소전극(14)이 형성된 부분을 화소부(P)라고 한다.

그리고, 상기 상부 기판(4)과 하부 기판(2)의 사이에 주입되는 액정(10)의 누설을 방지하기 위해, 상기 상부 기판(4)과 하부 기판(2)의 가장자리에는 실란트(sealant : 6)로 봉인되어 있다.

상기 하부 기판(2)은 다수개의 박막 트랜지스터(S)와 상기 박막 트랜지스터와 각각 연결된 다수개의 화소전극(14)이 배열된다.

상술한 액정 표시장치는 가장 일반적인 방식으로, 컬러필터 기판과 박막 트랜지스터 배열기판을 서로 다른 공정을 통해 제작하고, 이들을 합착하는 방식을 채택하였다.

그러나, 상기와 같은 방식은 그 제조공정이 매우 복잡하다. 예를 들어 컬러필터의 제조공정은 수율이 낮기 때문에 가격이 증가된다. 그만큼 액정 표시장치에서 컬러필터가 차지하는 원가비율이 매우 크다.

상술한 종래의 액정 표시장치의 제조공정을 단순화 하기 위해 박막 트랜지스터 배열기판에 컬러필터를 형성하는 이른바 '컬러필터 온 TFT(Color Filter on TFT : COT) 방식'이라는 새로운 개념의 박막 트랜지스터 어레이 설계 개념이 도입되었다.

상기와 같은 COT 방식의 액정 표시장치는 스위칭 소자인 박막 트랜지스터를 형성한 후, 상기 박막 트랜지스터 상에 적, 녹, 청의 컬러수지를 형성하는 방식으로 제작된다.

이하, 종래의 COT 액정 표시장치의 제작 공정을 도 3a 내지 도 3d를 참조하여 살펴보면 다음과 같다.

도 2a 내지 도 2d는 종래의 COT 액정 표시장치의 제작 공정을 도시한 공정도이다.

먼저, 도 2a는 기판(1)에 박막 트랜지스터(S)를 형성하는 단계를 도시한 도면이다. 상기 박막 트랜지스터(S)는 기판(1) 상에 형성되며, 게이트 전극(50)과, 게이트 절연막(52)과, 액티브층(54)과, 소스 및 드레인 전극(56, 58)으로 구성된다.

상기 액티브층(54)은 실질적으로 순수 반도체와 불순물 반도체로 나뉘며, 상기 소스 및 드레인 전극(56, 58)의 하부 액티브층은 불순물 반도체/순수 반도체의 적층 구조이고, 상기 소스 및 드레인 전극(56, 58)의 하부를 제외한 부분의 액티브층(즉, 박막 트랜지스터의 채널)은 순수 반도체로 구성된다.

그리고, 추후 공정에서 생성될 컬러필터에 의한 상기 박막 트랜지스터(S)의 채널을 보호하기 위해 보호막(60)을 추가로 형성한다.

도 2b는 컬러수지를 증착하고, 패터닝하여 컬러필터(62a, 62b)를 형성하는 단계를 도시하고 있다.

상기 컬러필터(62a, 62b)는 적, 녹, 청색이 될 수 있으며, 만약, 적, 녹, 청의 컬러필터를 형성할 경우에는 3번의 각 색에 해당하는 컬러수지를 증착하는 과정과 3번의 패터닝 과정을 거쳐야 한다.

이 때, 상기 박막 트랜지스터의 채널부분(Ch)과 드레인 전극(58) 상부 보호막(60)의 일부분이 노출되도록 패터닝한다. 이는 추후 차광막과 드레인 콘택층을 형성하기 위함이다.

도 2c는 차광막(70)과 평탄화막(64)을 형성하는 단계를 도시하고 있다.

상기 차광막(70)은 외부광이 박막 트랜지스터의 채널(Ch)로 입사하는 것을 방지하기 위함으로 실질적으로 빛에 대해 불투명한 물질이 쓰인다.

상기 차광막(70) 형성 후에 평탄화막(64)을 형성하고, 드레인 전극의 일부가 노출되도록 드레인 콘택층(66)을 형성한다.

도 2d는 화소전극(68)을 형성하는 단계를 도시하고 있다.

상기 화소전극(68)은 실질적으로 빛에 대해 투명한 도전성 물질이 쓰이며, 드레인 콘택층(66)을 통해 상기 드레인 전극(58)과 접촉하고 있다.

상술한 COT 액정 표시장치는 박막 트랜지스터와 컬러필터가 동일 기판 상에 형성되므로, 컬러필터를 따로 형성하여 액정 표시장치를 제작하는 방식에 비해 합착마진이 증가함으로 제조 수율이 향상되는 장점이 있다.

#### 발명이 이루고자하는 기술적 과제

최근 들어 대면적 고화질의 표시영역을 갖는 액정 표시장치의 요구가 증가함에 따라, 상기 액정 표시장치의 제조공정은 더욱 더 복잡해지고 있다.

상기와 같이 대면적의 액정 표시장치로 이동할 경우에는 많은 문제점이 발생한다.

도 1을 다시 참조하여 설명하면, 액정 표시장치를 대면적으로 제작할 경우 컬러필터가 형성된 상판(4)과 박막 트랜지스터가 형성된 하판(2)은 서로 다른 제조공정 온도에 의해 열 수축/팽창률이 다르게 된다. 따라서, 컬러필터(8)와 화소전극(14)간에 어느정도의 얼라인 마진(align margin)을 고려해야 된다.

즉, 상기와 같은 열 수축/팽창에 따른 얼라인 마진의 발생은 상판(4)과 하판(2)의 공정온도가 다르기 때문에 발생하는 원인으로, 상판(4)이 220 °C 내외에서 제작되는 반면, 하판의 공정온도는 이보다 큰 300 °C 내외에서 제작된다.

상기 얼라인 마진 개구부에서 제외되는 부분으로, 블랙 매트릭스(black matrix : B/M)를 형성하여 하부 광원으로부터 난반사된 빛을 차단한다.

상기 열에 의한 수축/팽창의 차이에 의한 얼라인 마진은 기판의 크기가 커지면 더욱 증가하므로 개구를 향상에 치명적인 단점이 있다.

그리고, 상술한 일반적인 액정 표시장치의 단점을 보완한 COT 구조의 액정 표시장치의 경우, 컬러필터 형성전에 박막 트랜지스터의 채널을 보호하기 위한 별도의 보호막 공정이 추가되는 단점이 있다.

상술한 문제점을 해결하기 위해 본 발명에서는 COT 액정 표시장치의 제작공정을 단순화하는데 그 목적이 있다.

또한, 본 발명에서는 개구율을 향상하는데 목적이 있다.

또한, 본 발명에서는 액정 표시장치의 생산성을 향상하는데 그 목적이 있다.

#### 발명의 구성 및 작용

상기와 같은 목적을 달성 하기 위해 본 발명에서는 기판과; 상기 기판 상에 형성되고, 게이트 전극, 소스 전극, 드레인 전극을 가진 박막 트랜지스터와; 상기 박막 트랜지스터의 상기 소스 및 드레인 전극중 적어도 하나의 전극과 일부 겹치는 컬러필터와; 상기 박막 트랜지스터와 상기 컬러필터 상에 형성된 평탄화막과; 상기 컬러필터 상부 상기 평탄화막 상에 상기 박막 트랜지스터의 드레인 전극과 접촉하는 화소전극을 포함하는 어레이 패널을 제공한다.

또한, 본 발명에서는 기판을 구비하는 단계와; 상기 기판 상에 게이트 전극을 형성하는 단계와; 상기 게이트 전극 상에 게이트 절연막과 순수 반도체층과 불순물 반도체층을 적층하는 단계와; 상기 순수 반도체층 및 불순물 반도체층을 식각하여 액티브층을 형성하는 단계와; 상기 액티브층 상에 소스 및 드레인 전극을 형성하는 단계와; 상기 드레인 전극의 일부와 겹치는 컬러필터층을 형성하는 단계와; 상기 컬러필터층의 형성후에 상기 소스 및 드레인 전극 사이에 형성된 불순물 반도체층을 식각하여 채널을 형성하는 단계와; 상기 소스 및 드레인 전극과 컬러필터층 및 채널의 전면을 덮는 평탄화막을 증착하고, 상기 드레인 전극의 일부가 노출되도록 드레인 콘택층을 형성하는 단계와; 상기 드레인 콘택층을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함하는 액정 표시장치 제조방법을 제공한다.

그리고, 본 발명에서는 박막 트랜지스터 영역과 화소영역을 가진 기판을 구비하는 단계와; 상기 박막 트랜지스터 영역에 게이트 전극, 액티브층, 소스 및 드레인 전극을 포함하는 박막 트랜지스터를 형성하는 단계와; 상기 소스 및 드레인 전극의 일부와 겹치도록 상기 화소영역에 컬러필터층을 형성하는 단계와; 상기 박막 트랜지스터 및 상기 컬러필터층 상의 전면에 걸쳐 평탄화막을 증착하고 패터닝하여 상기 드레인 전극의 일부가 노출되도록 드레인 콘택층을 형성하는 단계와; 상기 화소영역 상부 상기 평탄화막 상에 상기 드레인 콘택층을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함하는 액정 표시장치 제조방법을 제공한다.

이하, 첨부된 도면과 실시예를 참조하여 본 발명을 상세히 설명한다.

#### 제 1 실시예

도 3a 내지 도 3e는 본 발명의 제 1 실시예에 따른 COT 액정 표시장치의 제조공정을 도시한 공정도이다.

먼저, 도 3a에 도시된 도면은 기판(1) 상에 게이트 전극(100)을 형성한 후, 게이트 절연막(102)과 반도체층(104)을 형성하는 단계를 도시하고 있다.

상기 반도체층(104)은 순수 반도체(104a)와 불순물 반도체(104b)의 적층구조이다.

상기 순수 반도체(104a)는 비정질 실리콘이 사용되며, 상기 불순물 반도체(104b)는 비정질 실리콘 증착시 5족의 원소인 인(P)이 함유된 가스를 혼합하여 증착한다.

도 3b는 소스 및 드레인 전극(106, 108)을 형성하는 단계를 도시하고 있다.

일반적인 액정 표시장치의 제작 공정은 소스 및 드레인 전극의 형성 후에 박막 트랜지스터의 채널을 형성하기 위해 소스와 드레인 전극 사이에 형성된 불순물 반도체를 제거하는 공정을 거치나, 본 발명의 제 1 실시예에서는 불순물 반도체(104b)를 본 단계에서는 식각하지 않으며, 그 이유는 다음 단계인 도 3c에서 설명한다.

도 3c는 컬러필터(112)를 형성하는 단계를 도시한 도면이다.

상기 컬러필터(112)는 적, 녹, 청색의 안료에 의해 형성되며, 3색의 컬러필터를 형성하기 위해서는 3번의 증착과 3번의 패터닝공정이 필요하다.

여기서, 채널부(110)의 불순물 반도체(104b)를 제거하지 않은 이유는 상기 컬러필터(112) 형성시에 채널부(110)를 보호하기 위함이다. 즉, 상기 불순물 반도체(104b)가 본 발명의 제 1 실시예에서는 보호막의 역할을 하게 되는 것이다.

이 때, 상기 컬러필터(112)는 상기 소스 및 드레인 전극(106, 108)의 가장자리 일부(T)와 겹치게 형성하는데, 이는 백라이트 빛의 빛샘을 방지하고, 더 나아가 개구율을 향상하기 위함이다.

상기 컬러필터(112)를 형성한 후에 상기 소스 및 드레인 전극(106, 108)을 마스크로 상기 채널부(110)의 불순물 반도체(104b)를 제거한다.

상기 불순물 반도체(104b)의 제거시 본 발명의 바람직한 실시예에서는 건식식각 방법을 사용한다. 그러나 습식식각 방법 사용해도 무방하다.

도 3d 상기 컬러필터(112)와 소스 및 드레인 전극(116, 118)의 상부에 평탄화막(114)을 형성하는 단계를 도시한 도면이다.

상기 평탄화막(114) 형성시 드레인 전극(108)의 일부가 노출되도록 드레인 콘택홀(116)을 형성한다.

상기 평탄화막(114)은 무기질의 실리콘 질화막 또는 실리콘 산화막을 증착하여 형성할 수 있으며, 유기질의 벤조사이클로뷰텐(benzocyclobutene; BCB)을 코팅하여 형성할 수도 있을 것이다.

이후, 투명 도전물질층을 증착하고 패터닝하여, 상기 드레인 콘택홀(116)을 통해 상기 드레인 전극(108)과 접촉하는 화소전극(118)을 형성한다.

## 제 2 실시예

일반적으로 박막 트랜지스터는 그 형태에 따라 스테거드형(stagger-type)과 코플라나형(coplanar-type)으로 나눌 수 있으며, 상기 스테거드형은 게이트 전극의 위치에 따라 역스테거드형으로 다시 구분된다.

그리고, 상기 역스테거드형 박막 트랜지스터는 백채널 에치형과 에치 스톱퍼형으로 구분되게 되는 것이다.

즉, 상술한 제 1 실시예는 백채널 에치형 박막 트랜지스터(back channel etched type TFT; BE-TFT)를 스위칭 소자로 사용한 COT 액정 표시장치의 경우이고, 본 발명의 제 2 실시예는 에치 스톱퍼형 박막 트랜지스터(etch-stopper TFT; ES-TFT)를 스위칭 소자로 사용하는 COT 액정 표시장치의 경우이다.

상기 BE-TFT는 제작 공정이 간단한 장점이 있는 반면에, 채널을 형성하기 위해 순수 반도체층을 두껍게 형성해야 하는 단점이 있다.

그리고, 상기 ES-TFT는 제작 공정이 상기 BE-TFT 보다는 복잡하나, 식각 방지막에 의해 순수 반도체층을 얇게 형성할 수 있는 장점이 있다.

도 4는 일반적인 ES-TFT의 단면을 도시한 단면도이다. 본 발명의 제 2 실시예에서는 제 1 실시예에 참고된 도면의 부호와 같은 기능을 하는 구성요소의 부호를 동일하게 부여한다.

도 4에 도시된 바와 같이 일반적인 ES-TFT는 기판(1) 상에 형성된 게이트 전극(100)과, 상기 게이트 전극(100) 상에 형성된 게이트 절연막(102)과, 상기 게이트 절연막(102) 상에 형성된 순수 반도체층(104a)과, 상기 게이트 전극(100) 상부 상기 순수 반도체층(104a) 상에 형성된 식각 방지막(ES)과, 상기 식각 방지막(ES)이 형성되지 않은 순수 반도체층(104a) 상에 형성된 불순물 반도체층(104b)과, 상기 불순물 반도체층(104b) 상에 형성된 소스 및 드레인 전극(106, 108)으로 구성된다.

여기서, 상기 ES-TFT는 BE-TFT에 없는 식각 방지막(ES)이 있다. 상기 식각 방지막(ES)의 기능은 상기 채널부(110)를 형성하기 위해 불순물 반도체층(104b)을 식각할 때, 상기 순수 반도체층(104a)의 식각을 방지하는 기능을 하게 된다.

즉, 상기 BE-TFT를 스위칭 소자로 사용한 본 발명의 제 1 실시예의 경우 채널(110)을 형성하기 위해 도 3c에서는 소스 및 드레인 전극(106, 108) 사이에 형성된 불순물 반도체층(104b)을 식각한다. 이 때, 식각되는 불순물 반도체층(104b)의 하부에 형성된 순수 반도체층(104a)도 과식각 되게 되는데, 과식각 되는 순수 반도체층(104a)의 두께만큼을 보상하여 BE-TFT의 제작 시에는 순수 반도체층의 두께를 두껍게

형성하는 것이다.

따라서, ES-TFT는 불순물 반도체층(104b)의 식각시 상기 식각 방지막(ES)이 순수 반도체층(104a)의 과식각을 방지함으로, 순수 반도체층(104a)의 두께를 얇게할 수 있다.

상술한 ES-TFT를 스위칭 소자로 사용하는 COT 액정 표시장치의 제작 공정은 상기 ES-TFT를 형성한 후, 상기 도 3d 이후 공정과 같기 때문에 그 설명은 생략한다.

### 제 3 실시예

본 발명의 제 3 실시예는 COT 액정 표시장치에서 코플라나형 박막 트랜지스터를 스위칭 소자로 적용한 예이다.

도 5a 내지 도 5e는 본 발명의 제 3 실시예에 따른 COT 액정 표시장치의 제작 공정을 도시한 공정도이다.

도 5a는 차광막(200)을 형성하는 단계를 도시한 도면이다.

상기 차광막(200)은 기판(1) 상에 형성되며, 추후 공정에서 형성될 액티브층(미도시)에 빛이 입사되는 것을 방지하는 역할을 하게 된다.

이후, 차광막(200)을 덮는 제 1 절연막(202)을 증착한다.

도 5b는 액티브층(204)과 게이트 전극(208)을 형성하는 단계를 도시한 도면이다.

상기 액티브층(204)은 제 1 절연막(202) 상에 형성되며, 상기 차광막(200) 상부 상기 액티브층(204) 상에는 제 2 절연막인 게이트 절연막(206)과, 상기 게이트 절연막(206) 상에는 게이트 전극(208)을 각각 형성한다.

상기 액티브층(204)은 게이트 전극(208) 하부의 제 1 액티브 영역(204a)과 상기 게이트 전극(208)에 의해 노출된 제 2 액티브 영역(204b)의 두 영역으로 구분된다.

상기 제 2 액티브 영역(204b)은 상기 게이트 전극(208) 형성 후에 이온 도핑된다.

상기 이온 도핑은 3족 원소인 붕소(B)가 함유된 다이보론( $B_2H_6$ ) 또는 5족 원소인 인(P)이 함유된 포스핀( $PH_3$ )가스를 분해하여 상기 제 2 액티브 영역(204b)에 상기 붕소 또는 인 이온을 주입하게 된다.

상기 제 2 액티브 영역(204b)에 붕소이온이 주입되면 P-형 반도체로, 상기 인 이온이 주입되면 N-형 반도체로 형성된다.

도 5c는 제 3 절연막으로 층간 절연막(inter-layer insulator ; 210)을 형성하는 단계를 도시하고 있다.

여기서, 도 5b 공정에서 이온 도핑된 제 2 액티브 영역(204b)은 소스 및 드레인 영역(204c, 204d)으로 형성되며, 상기 소스 및 드레인 영역(204c, 204d)의 일부가 노출되도록 상기 층간 절연막(210)에는 소스 및 드레인 콘택홀(212, 214)이 형성된다.

도 5d는 소스 및 드레인 전극(216, 218)과 컬러필터(220)를 형성하는 단계를 도시한 도면이다.

상기 소스 및 드레인 전극(216, 218)은 상기 층간 절연막(210)에 형성된 소스 및 드레인 콘택홀(212, 214)을 통해 소스 및 드레인 영역(204c, 204d)과 접촉하게 된다.

상기 소스 및 드레인 전극(216, 218)을 형성한 후에 컬러필터(220)를 형성하게 된다. 상기 컬러필터(220)는 소스 및 드레인 전극(216, 218)과 일부가 겹치게 형성되는데, 이는 빛샘 방지와 개구율 향상을 목적으로 한다.

도 5e는 화소전극(226)을 형성하는 단계를 도시한 도면이다.

상기 화소전극(226)을 형성하기 위해서는 먼저, 평탄화막(222)을 형성하고, 상기 드레인 전극(218) 상부 상기 평탄화막(222)에 드레인 전극(218)의 일부가 노출되도록 콘택홀(224)을 형성한다.

이후, 상기 콘택홀(224)을 통해 노출된 드레인 전극(218)과 접촉하는 화소전극(226)을 형성한다.

상기 화소전극(226)은 실질적으로 빛에 투명한 인듐-틴-옥사이드(ITO)가 주로 쓰인다.

상기 코플라나형 박막 트랜지스터는 일반적으로 액티브층을 다결정 실리콘으로 사용한다. 본 실시예에서는 액티브층을 비정질 실리콘으로 사용할 때의 제작 공정을 중심으로 설명하였다.

그러나, 상술한 본 발명의 제 3 실시예에 따른 COT 액정 표시장치의 스위칭 소자로 쓰이는 박막 트랜지스터의 액티브층을 다결정 실리콘으로 형성할 경우에는 도 5a 공정은 무시될 수 있다. 이는 다결정 실리콘이 빛에 민감하지 않기 때문에 차광막이 필요없기 때문이다.

상술한 바와 같이 본 발명의 실시예에 따라 COT 방식의 액정 표시장치를 제조할 경우 종래의 서로 다른 공정에서 제조된 컬러필터 기판과 박막 트랜지스터 어레이 기판의 합착 마진에 의한 협소한 공정 마진에 비해, 큰 공정 마진을 고려하지 않아도 되기 때문에 개구율이 향상된다.

또한, 액정 표시장치의 스위칭 소자로 쓰이는 박막 트랜지스터 상부 즉, 소스 및 드레인 전극의 상부에 컬러필터가 형성되기 때문에, 개구율이 증가하는 장점이 있다.

### 발명의 효과

상술한바와 같은 본 발명의 실시예를 통해 컬러필터 온 박막 트랜지스터(COT) 방식의 액정 표시장치를 제작할 경우 다음과 같은 장점이 있다.

첫째, 동일 기판 상에 컬러필터와 박막 트랜지스터 어레이를 형성하기 때문에 큰 공정 마진을 고려할 필요가 없어서 고개구율의 액정 표시장치를 제작할 수 있는 장점이 있다.

둘째, 박막 트랜지스터 상에 컬러필터를 형성함으로써, 개구율이 향상되는 장점이 있다.

셋째, 대면적의 기판 공정에서 발생하는 열 수축/팽창의 차이에 기인하는 기판의 왜곡에 따른 공정불량이 발생하지 않기 때문에 생산성이 향상되는 장점이 있다.

넷째, 본 발명의 제 1 실시예에 따른 COT 액정 표시장치의 제작에 경우 기존 COT 액정 표시장치에 비해 컬러필터를 형성한 후 박막 트랜지스터의 채널을 형성하기 때문에 별도의 채널 보호막이 필요 없는 장점이 있다.

### (57) 청구의 범위

#### 청구항 1

기판과;

상기 기판 상에 형성되고, 게이트 전극, 소스 전극, 드레인 전극을 가진 박막 트랜지스터와;

상기 박막 트랜지스터의 상기 소스 및 드레인 전극중 적어도 하나의 전극과 일부 겹치는 컬러필터와;

상기 박막 트랜지스터와 상기 컬러필터 상에 형성된 평탄화막과;

상기 컬러필터 상부 상기 평탄화막 상에 상기 박막 트랜지스터의 드레인 전극과 접촉하는 화소전극을 포함하는 어레이 패널.

#### 청구항 2

청구항 1에 있어서,

상기 박막 트랜지스터는, 상기 게이트 전극과, 상기 게이트 전극 상에 형성된 게이트 절연막과, 상기 게이트 절연막 상에 형성된 액티브층인 순수 반도체층과, 상기 순수 반도체층 상에 이격되어 형성된 상기 소스 및 드레인 전극과, 상기 소스 및 드레인 전극과 상기 순수 반도체층의 사이에 형성된 불순물 반도체층을 포함하는 어레이 패널.

#### 청구항 3

청구항 2에 있어서,

상기 소스 및 드레인 전극의 이격된 사이에 형성되고, 상기 불순물 반도체층과 상기 순수 반도체층 사이에 삽입된 식각 방지막을 더욱 포함하는 어레이 패널.

#### 청구항 4

청구항 1에 있어서,

상기 기판과 상기 박막 트랜지스터 사이에 형성된 차광막과 상기 차광막 상에 형성된 절연막을 더욱 포함하는 어레이 패널.

#### 청구항 5

청구항 1 내지 청구항 4항 중 어느 한 항에 있어서,

상기 박막 트랜지스터의 순수 반도체층은 비정질 실리콘인 어레이 패널.

#### 청구항 6

청구항 1에 있어서,

상기 박막 트랜지스터는 양 가장자리에 소스 및 드레인 영역을 갖는 액티브층과;

상기 소스 및 드레인 영역을 제외한 액티브층 상에 형성된 게이트 절연막과;

상기 게이트 절연막 상에 형성된 상기 게이트 전극과;



상기 소스 및 드레인 영역의 일부가 노출되고, 상기 게이트 전극을 덮는 층간 절연막과;  
상기 소스 및 드레인 영역과 각각 접촉하는 상기 소스 및 드레인 전극  
을 갖는 어레이 패널.

#### 청구항 7

청구항 6에 있어서,  
상기 액티브층은 다결정 실리콘인 어레이 패널.

#### 청구항 8

기판을 구비하는 단계와;  
상기 기판 상에 게이트 전극을 형성하는 단계와;  
상기 게이트 전극 상에 게이트 절연막과 순수 반도체층과 불순물 반도체층을 적층하는 단계와;  
상기 순수 반도체층 및 불순물 반도체층을 식각하여 액티브층을 형성하는 단계와;  
상기 액티브층 상에 소스 및 드레인 전극을 형성하는 단계와;  
상기 드레인 전극의 일부와 겹치는 컬러필터층을 형성하는 단계와;  
상기 컬러필터층의 형성후에 상기 소스 및 드레인 전극 사이에 형성된 불순물 반도체층을 식각하여 채널  
을 형성하는 단계와;  
상기 소스 및 드레인 전극과 컬러필터층 및 채널의 전면을 덮는 평탄화막을 증착하고, 상기 드레인 전극  
의 일부가 노출되도록 드레인 콘택홀을 형성하는 단계와;  
상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계  
를 포함하는 액정 표시장치 제조방법.

#### 청구항 9

박막 트랜지스터 영역과 화소영역을 가진 기판을 구비하는 단계와;  
상기 박막 트랜지스터 영역에 게이트 전극, 액티브층, 소스 및 드레인 전극을 포함하는 박막 트랜지스터  
를 형성하는 단계와;  
상기 소스 및 드레인 전극의 일부와 겹치도록 상기 화소영역에 컬러필터층을 형성하는 단계와;  
상기 박막 트랜지스터 및 상기 컬러필터층 상의 전면에 걸쳐 평탄화막을 증착하고 패터닝하여 상기 드레  
인 전극의 일부가 노출되도록 드레인 콘택홀을 형성하는 단계와;  
상기 화소영역 상부 상기 평탄화막 상에 상기 드레인 콘택홀  
을 통해 상기 드레인 전극과 접촉하는 화소전극을 형성하는 단계를 포함하는 액정 표시장치 제조방법.

#### 청구항 10

청구항 9에 있어서,  
상기 박막 트랜지스터를 형성하는 단계는  
게이트 전극을 형성하는 단계와;  
상기 게이트 전극 상에 게이트 절연막을 형성하는 단계와;  
상기 게이트 절연막 상에 순수 반도체층을 증착하고 패터닝하여 액티브층을 형성하는 단계와;  
상기 게이트 전극 상부 상기 액티브층 상에 식각 방지막을 형성하는 단계와;  
상기 식각 방지막과 노출된 액티브층 상의 전면에 불순물 반도체를 증착하는 단계와;  
상기 불순물 반도체층 상에 상기 게이트 전극과 일 부분이 각각 겹치도록 소스 및 드레인 전극을 형성하  
는 단계와;  
상기 소스 및 드레인 전극을 마스크로 하여 상기 소스 및 드레인 전극의 하부에 형성된 불순물 반도체층  
을 제외한 부분의 불순물 반도체층을 식각하는 단계  
를 포함하는 액정 표시장치 제조방법.

#### 청구항 11

청구항 9에 있어서,

상기 박막 트랜지스터를 형성하는 단계 전에 상기 박막 트랜지스터 영역에 차광막을 형성하는 단계와;

상기 차광막과 기판의 전면에 걸쳐 절연막을 형성하는 단계;

를 더욱 포함하는 액정 표시장치 제조방법.

#### 청구항 12

청구항 9 내지 청구항 11항 중 어느 한 항에 있어서,

상기 박막 트랜지스터의 액티브층은 비정질 실리콘인 액정 표시장치.

#### 청구항 13

청구항 9에 있어서,

상기 박막 트랜지스터를 형성하는 단계는

순수 반도체층을 형성하는 단계와;

상기 순수 반도체층의 양 가장자리가 노출되도록 중심부 상부에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 게이트 전극을 형성하는 단계와;

상기 게이트 절연막에 의해 노출된 순수 반도체층의 양 가장자리에 이온도핑하여 각각 소스 및 드레인 영역으로 정의하는 단계와;

상기 소스 및 드레인 영역의 일부가 노출되고, 상기 게이트 전극을 덮는 층간 절연막을 형성하는 단계와;

상기 소스 및 드레인 영역과 각각 접촉하는 소스 및 드레인 전극을 형성하는 단계를 포함하는 액정 표시장치 제조방법.

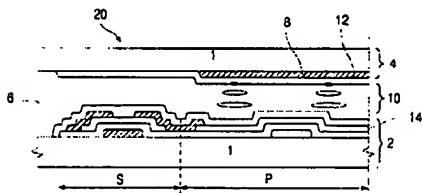
#### 청구항 14

청구항 13에 있어서,

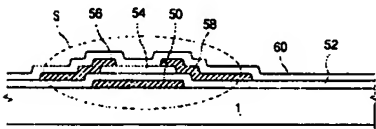
상기 순수 반도체층은 다결정 실리콘인 액정 표시장치.

도면

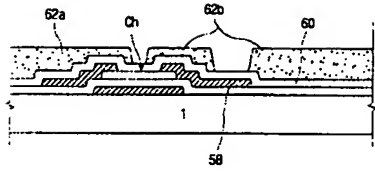
도면1



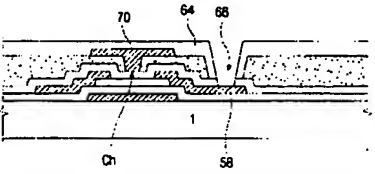
도면2a



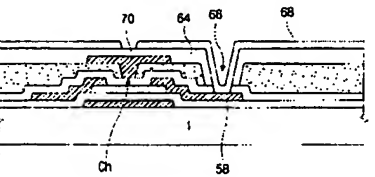
도면2b



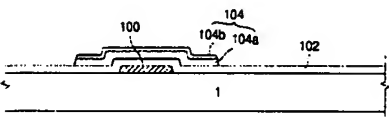
도면2c



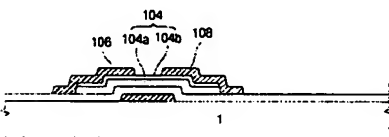
도면2d



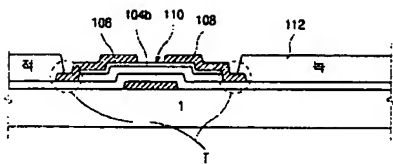
도면3a



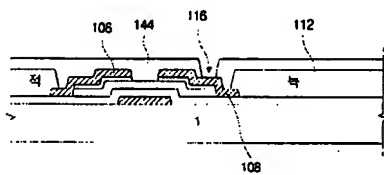
도면3b



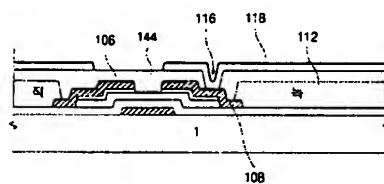
도면3c



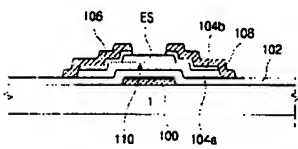
도면3d



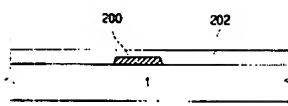
도면3e



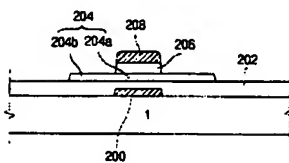
도면4



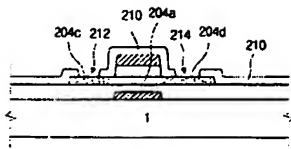
도면5a



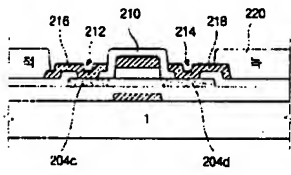
도면5b



도면5c



도면5d



도면5e

